

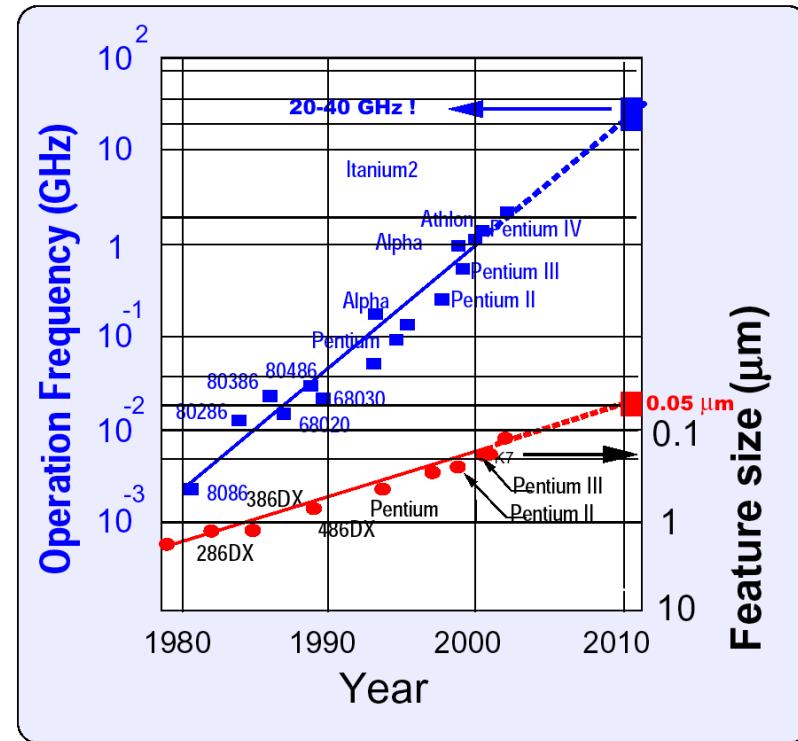
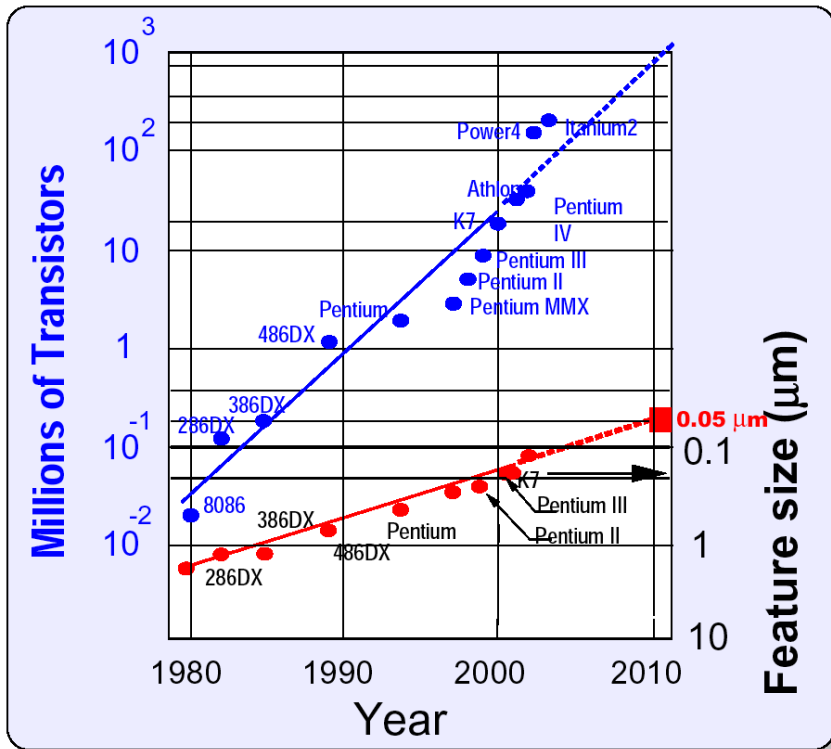


Atelier *RIS*

Nouvelles architectures & technologies des processeurs et sûreté de fonctionnement

Technicatome, Aix-en-Provence, 20 Novembre 2002

Evolutions technologiques des processeurs



Itanium 2 : 221 millions de transistors !

Power4 : 170 millions de transistors !

+ réduction de la tension d'alimentation → 0,7v

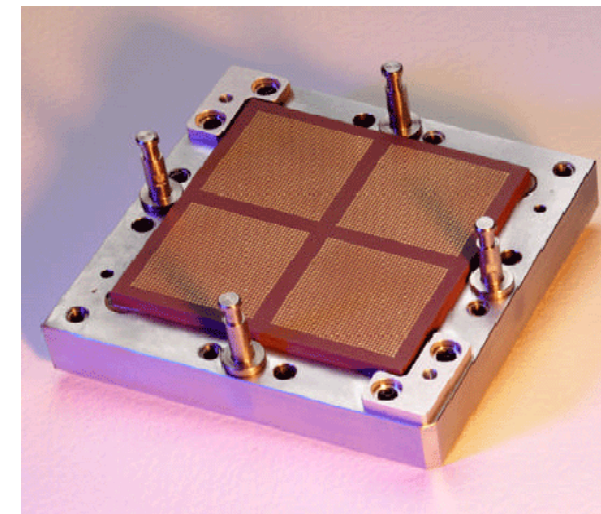
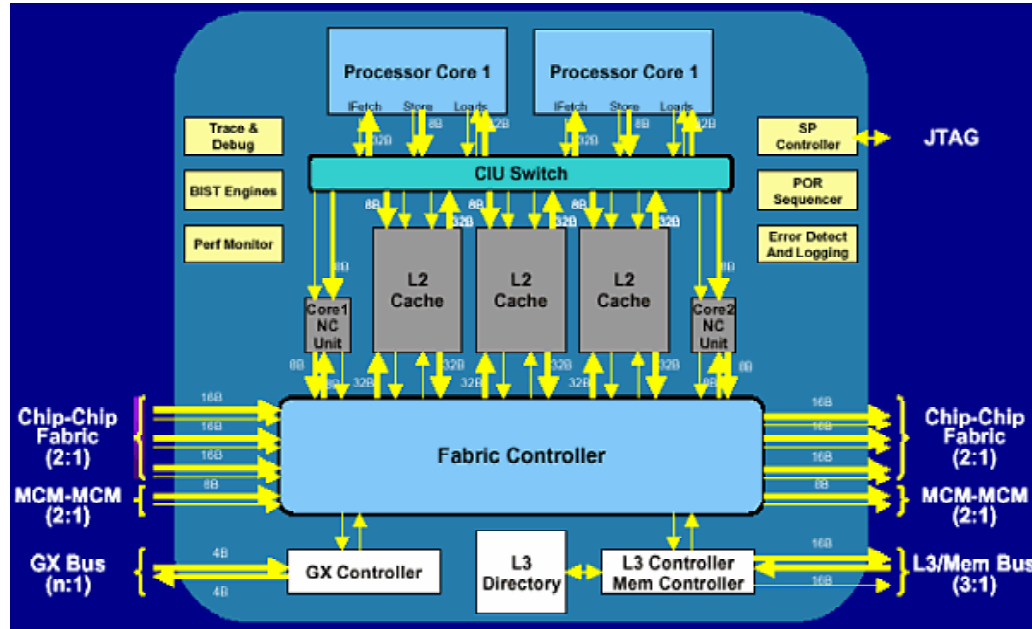
Evolutions architecturales des processeurs

Des caches, toujours + de caches !

- cache niveau 1 données (L1 data)
- cache niveau 1 instructions (L1 inst.)
- cache niveau 2 (L2)
- cache niveau 3 (L3)

- + différents niveaux de pipeline
- + prédiction de branchement
- + exécution spéculative
- + parallélisme d'exécution des instructions

	Intel Itanium2	IBM Power4
L1 data	32 Ko	64 Ko
L1 inst.	-	128 Ko
L2	256 Ko	1,41 Mo
L3	3 Mo	32 Mo



IBM Power4

Problèmes soulevés ?



- Réduction de la géométrie et de l'alimentation
 - ➔ sensibilité accrue aux particules atmosphériques
(augmentation du taux de fautes transitoires)

- Augmentation de la complexité en nombres de transistors
 - ➔ problème de testabilité
(risque accru de fautes de conception ou de fabrication non identifiées)

- Evolutions architecturales
 - ➔ problème de déterminisme
et de prédictibilité des temps d'exécution

Solutions envisageables ?



■ Admettre cet état de fait (Tolérance aux fautes)

- Caractérisation des problèmes
- Evaluation des risques associés
- Définition de solutions architecturales
- Evaluation des solutions architecturales

■ Renoncer à cet état de fait (Evitement des fautes)

- Durcissement des processeurs au niveau technologique (radhard/radtol)
- Durcissement des processeurs au niveau logique (par exemple, protection des caches par ECC)
- Blindage ?
- ...

Participations



■ Domaines d'application

- | Haute altitude (espace)
- | Moyenne altitude (aéronautique)
- | Niveau terrestre (transport)
- | Niveau sous-marin (énergie)

■ Membres du RIS

- | Airbus
- | Astrium
- | LAAS-CNRS
- | Technicatome
- | THALES

■ Participations invitées

- | CNES
- | ESA
- | IRISA
- | TIMA

Programme

10h00 - 10h15	Introduction et présentation de l'atelier	Yves Crouzet (LAAS-CNRS)
10h15 - 11h45 Modérateur : Gérard Ladier (Airbus France)	<i>Microprocesseurs spatiaux : contraintes et perspectives</i> Luc Planche, Marc Le Roy, Christian Boleat (Astrium) <i>Neutrons atmosphériques en avionique</i> Gérard Colas (Thales Avionics) <i>Architecture des processeurs et vérification de contraintes de temps-réel strict</i> Isabelle Puaut (IRISA)	
11h45 - 12h00	<i>Pause</i>	
12h00 - 13h00 Modérateur : Jean Pierre Auclair (JPA Consultant)	<i>Génération de fautes par impulsions optiques dans les circuits intégrés. Etude de la sûreté de fonctionnement des systèmes complexes embarqués</i> Jacques Henri Collet (LAAS-CNRS) <i>Stratégie de prédiction du taux d'erreur dues aux radiations pour les architectures numériques</i> Raoul Velazco (TIMA)	
13h00 - 14h00	<i>Buffet</i>	
12h00 - 13h00 Modérateur : Philippe David (ESA)	<i>Stratégie de choix d'un processeur pour applications embarquées safety-critical</i> Stéphane Lautier (Technicatome) <i>La simulation généralisée comme réponse aux contraintes de testabilité sur les nouvelles architectures de processeurs</i> Famantanantsoa Randimbivololona (Airbus France) <i>Environnement de test temps-réel pour architecture à base de microprocesseur LEON</i> Yves Dufrenne (Astrium)	
15h30 - 15h45	<i>Pause</i>	
15h45 - 16h45 Modérateur : Jean Arlat (LAAS-CNRS)	<i>Architectures CNES tolérantes aux fautes pour pouvoir utiliser des composants COTS électroniques dans les applications spatiales bord</i> Michel Pignol (CNES Toulouse) <i>Principes de durcissement aux radiations par conception - le cas du processeur LEON</i> André Pouponnot (ESA)	
16h45 - 17h45	<i>Discussion - Actions futures</i>	Modérateur : François Rodet (Technicatome)