

# Microprocesseurs spatiaux

## Contraintes et perspectives

# Sommaire

---

1. **Les domaines d'application**
2. **Contraintes des  $\mu$ processeurs spatiaux**
3. **État de l'art des microprocesseurs spatiaux**
4. **Durée de vie actuelle des microprocesseurs du spatial**
5. **Processeurs spatiaux, solutions européenne**
6. **Processeurs spatiaux, solutions US**
7. **Perspective processeurs & architecture spatiale**

# Domaines d'application

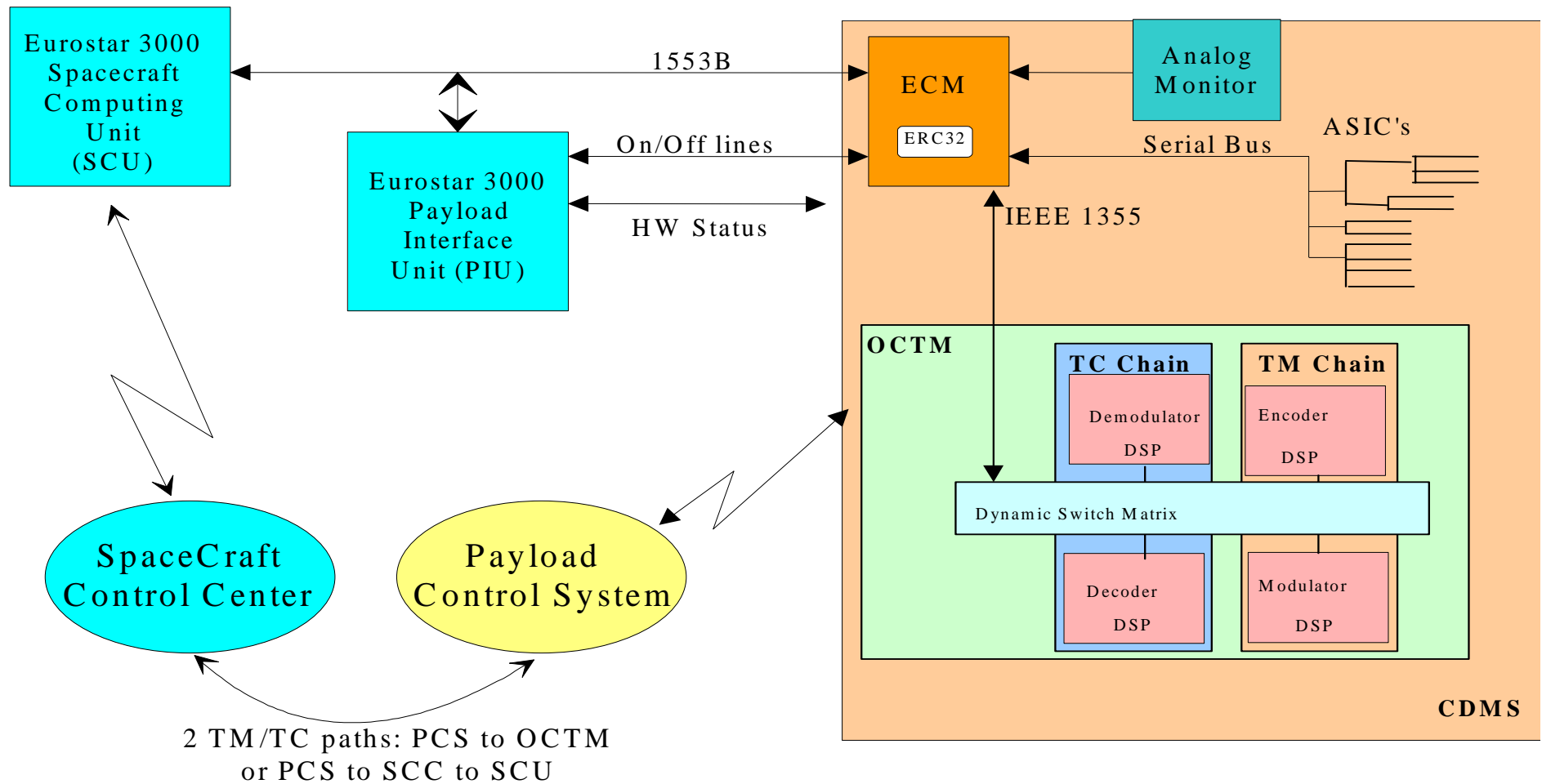
- **Gestion plate-forme**

- Traitements de contrôle du système satellite : gestion liaison sol/bord, GNC & SCAO, contrôle thermique, contrôle puissance, autonomie & FDIR
- Traitements embarqués dans des équipements complexes : senseur stellaire, centrale inertielle, récepteur GPS
- ⇒ Assurer la mission (satellite Pléiades) et la sûreté (Ariane5, ATV)
- ⇒ Besoins CPU en croissance limitée (autonomie bord, coût du développement de logiciel)

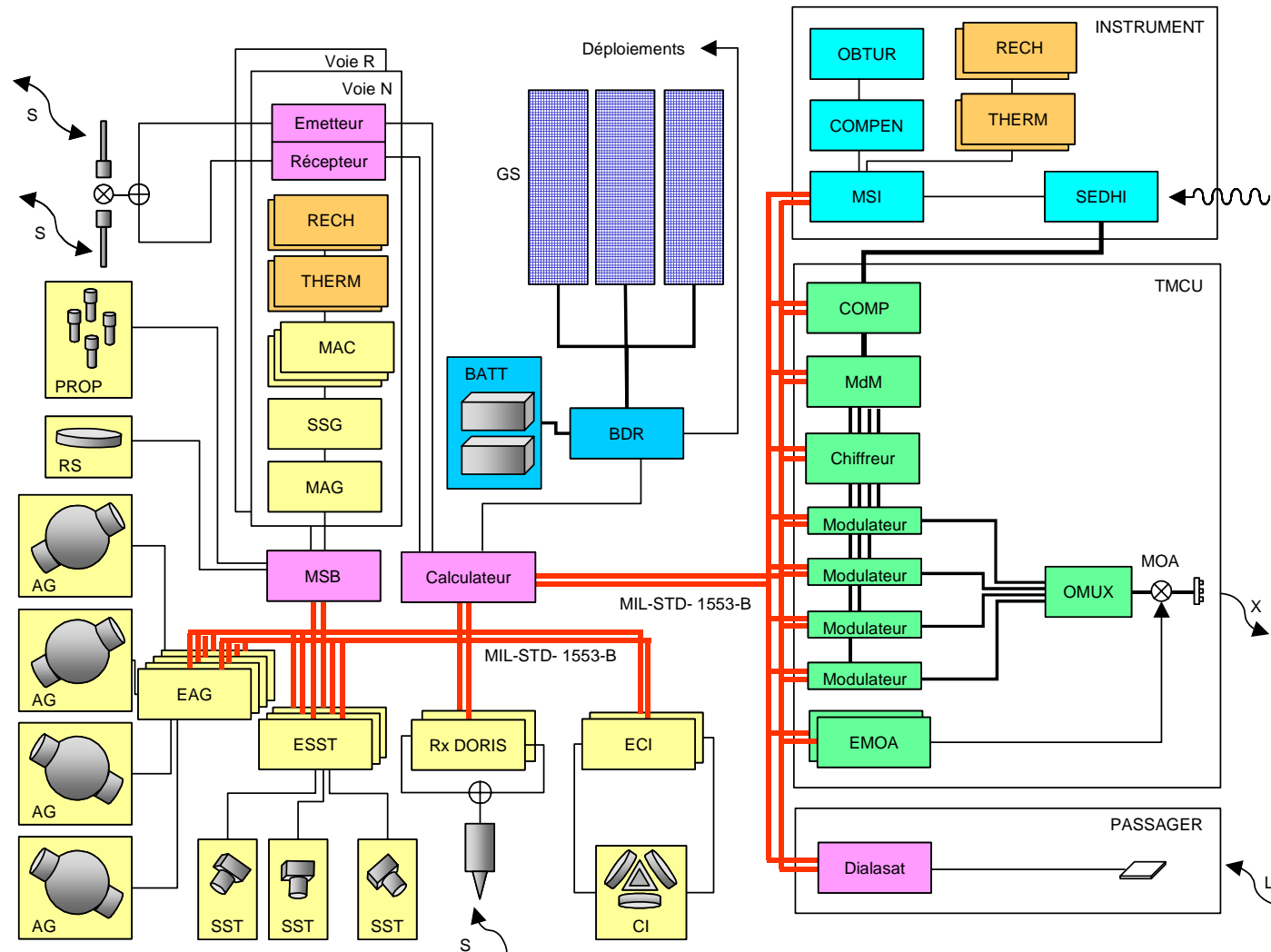
- **Gestion charge utile**

- Traitements spécifiques à la mission : gestion expérience scientifique ou instrument, équipement de télécommunication
- Traitement des données : modulation/démodulation (télécom), traitement d'images (observation), ...
- ⇒ Besoins CPU en croissance forte

# Domaines d'application : charge utile telecom



# Domaines d'application : observation



# Contraintes sur les microprocesseurs spatiaux

## ● Contraintes techniques

### - Environnement

- Radiatif (photons très énergétiques, électrons, protons, ions lourds, ...)
- Thermique (malgré le contrôle thermique à bord)
- Mécanique (vibrations: impact packaging, connectique, ...)

### - Système

- Masse (coût du kg en orbite, limitations lanceurs pour certaines missions à fort delta-V, ...)
- Consommation électrique (dimensionnement sous-système puissance i.e. taille générateur solaire, capacité batteries, ...) en particulier durant les phase critiques ou les GS ne sont pas disponibles ou pas orientés correctement
- Dissipation thermique (Pas de convection: radiation et conduction uniquement)
- Contraintes fonctionnelles (puissance de calcul, latence IT, ...)

# Contraintes sur les microprocesseurs spatiaux

---

- **Contraintes techniques (suite)**

- Durée de vie – Fiabilité
  - Résister à l'environnement pendant 2 à 20 ans !
  - Niveau de redondance relativement faible (masse)
- Testabilité
  - En fabrication
  - Sur carte

# Contraintes sur les microprocesseurs spatiaux

## ● Les radiations

- Plusieurs problèmes:
  - Tolérance aux doses cumulées (électrons et protons piégés dans le champ magnétique terrestre, particules et rayonnements solaires)
    - Orbite basse : < 0.1 Krad(Si)/an sur 5 à 20 ans
    - Orbites polaires : < 0.4 à 2 Krad(Si)/an sur 5 à 20 ans
    - Orbites géostationnaires < 1 Krad(Si)/an
    - Missions spécifiques par exemple à proximité de Jupiter : (>1 Mrads/mission)
  - SEL = Single Event Latch-up (effet thyristor parasite pouvant conduire à la destruction du composant si le courant n'est pas limité; retour en opération implique séquence off-on)
  - SEU = Single Event Upset (basculement d'un bit)
  - MEU = Multiple Event Upset (basculement simultané de plusieurs bits, proba croissante avec la réduction de taille des transistors)
- Les solutions: Durcissement du composant, du design calculateur, du logiciel
  - Au niveau physique (Rad Tolerant : Adaptation d'un process de fabrication standard, Rad-Hard : Process de fabrication spécifique)
  - Boîtier jouant le rôle d'un blindage
  - Au niveau du design logique (redondance cellules élémentaires + codes correcteurs, ...)
  - Au niveau du design logiciel (gestion d'erreurs non masquées par le HW)

# Contraintes sur les microprocesseurs spatiaux

---

- **Contraintes thermiques et mécaniques**

- Les problèmes:

- Gamme de température militaire en général
- Contraintes de dissipation de la chaleur produite par le composant
- Impact des cycles thermiques
- Niveaux de vibration au lancement

- Les solutions:

- packaging spécifique ayant tendance à limiter le nombre d'IO disponibles

# Contraintes sur les microprocesseurs spatiaux

- **Contraintes spécifiques liées au logiciel**

- Déterminisme / répétabilité de l'exécution
  - Le fonctionnement du logiciel doit être déterministe (résultats, mais aussi timings d'exécution)
  - Les caches permettant d'améliorer la performance d'exécution mais posent un problème quand au déterminisme et à la prédictibilité des timings/charges de calcul !
- Observabilité
  - Observation non intrusive du logiciel sur cible durant les tests
- Objectifs de couverture des 100% des branches en validation
  - Il faut disposer des outils adéquats !

# Contraintes sur les microprocesseurs spatiaux

---

- **Contraintes industrielles**

- Délais
- Coûts
- Pérennité (composant et outils de développement logiciel associés)

- **Qualité**

- Haute fiabilité: Il faut la démontrer, c'est bien souvent le problème ...
- Conformité aux plans qualité génériques et projets (clients)

- **Stratégiques**

- Composants français ou européens
- Licences DOD sur techno Rad-Hard

# État de l'art des microprocesseurs spatiaux

- **Le risque lié aux radiations est la principale contrainte qui ne nous permet pas d'utiliser les produits commerciaux.**
  - Cette contrainte implique que les processeurs spatiaux actuels sont développés pour l'industrie spatiale uniquement, le marché fait que leur puissance est moindre que les processeurs commerciaux.
- **Un processeur n'a d'intérêt qu'accompagné d'environnement de développement et de test puissants**
- **Les outils de test et de validation utilisent une partie de la puissance CPU, ce qui peut poser des problèmes sur la confiance finale que l'on a de la validation (« *fly what you test, test what you fly* »)**
- **2 tendances se mettent en ce moment en œuvre**
  - La solution US basée sur l'utilisation du Power Pc
  - La solution européenne basée sur une architecture SPARC

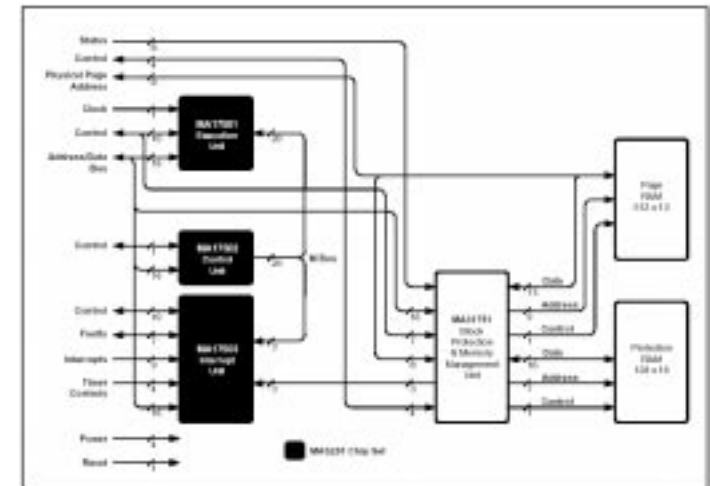
# Durée de vie actuelle des microprocesseurs du spatial

- Les processeurs spatiaux ont une durée de vie importante , qui inclue le développement des applications et leur exploitation.

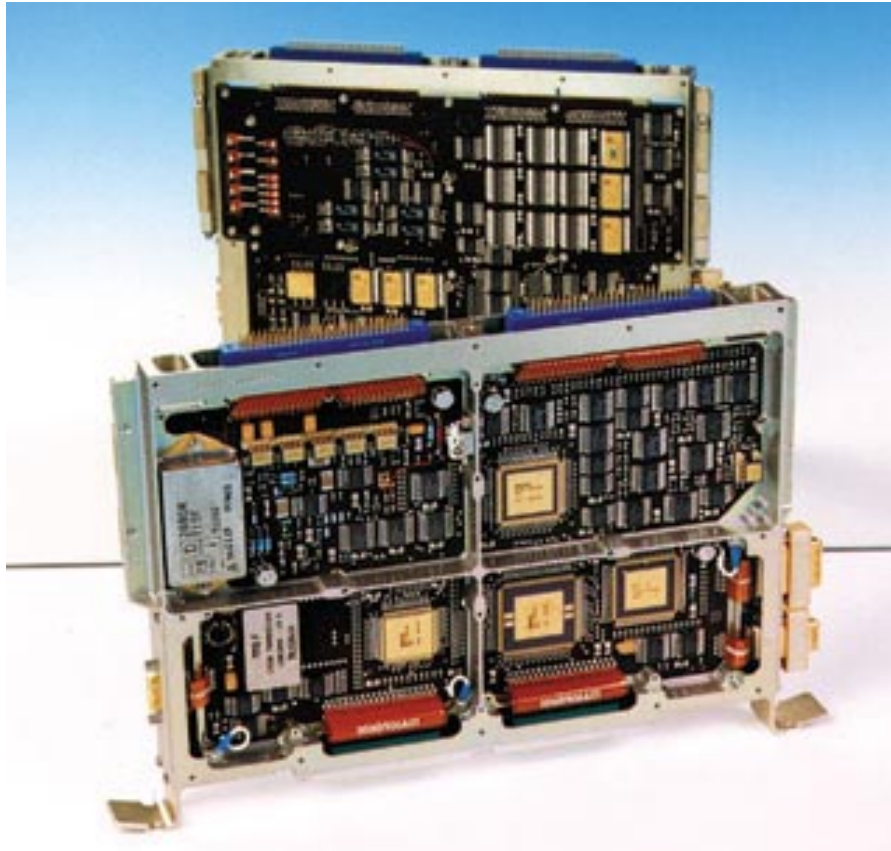
PROJETS	PROCESSEUR	Disponibilité du processeur	Garantie de fabrication	Cycle de vie
Eurostar 2000	SBP9989 from TI (I2L) & 8085	1982	dispo jusque 2005	# 25 ans
Eurostar 3000	MA3 1750	1992	dispo jusque 2010 minimum	# 20 ans
DMS-R/COF/ATV	SPARC Chip set	1995	dispo jusque 2010	# 15 ans
Eurostar payload	SPARC Single chip	1999	dispo jusque 2015	# 15 ans
Equipements spatiaux	8031 ( 8bits)			
Ariane V	68020	1990	2000	# 20 ans
All	DSP 21020	1995	dispo jusque 2015	# 20 ans

# Processeurs spatiaux, solution européenne

- Sur les plate-formes actuelles le IMA31750 est utilisé
  - Norme Mil std 1750A
  - Micro. CISC à registres 16 bits
  - Memoire 1 Mmots segmentée
  - Fréquence 8 Mhz
- ROCSAT, STENTOR et les E3000 utilisent ce composant ,
- Les moyens de test ne sont pas sur le marché commercial.
- Les limites des performances seront atteintes si de plus en plus d'autonomie est demandée à bord



# Processeurs spatiaux, solution européenne



- **1 processeur RISC 32 bits ERC32**
- **Le SPARC ERC32 est utilisé sur les plateformes de la station orbitales**
  - DMS-R ( module de service de l'ISS)
  - Columbus Orbital Facility
  - Automatic Transfer Vehicle
  - BIOLAB
  - Pleiades
- **Le SPARC RISC ERC32 c'est :**
  - IU (32 bits ) SPARC V7
  - Pipeline 4 étages ,8 fenêtres de 24 reg.
  - FPU
  - MEC ( timers, chip select unit, EDAC, traps controller, GPIO, UARTs
- **3 versions disponibles**
  - 10 MIPS, 3 C.I. (14 Mhz, 5 v )
  - 18 MIPS, 1 C.I. ( 25 Mhz, 5v, 1.5W)
  - 10 MIPS, 1C.I. (15 Mhz, 3.3v )

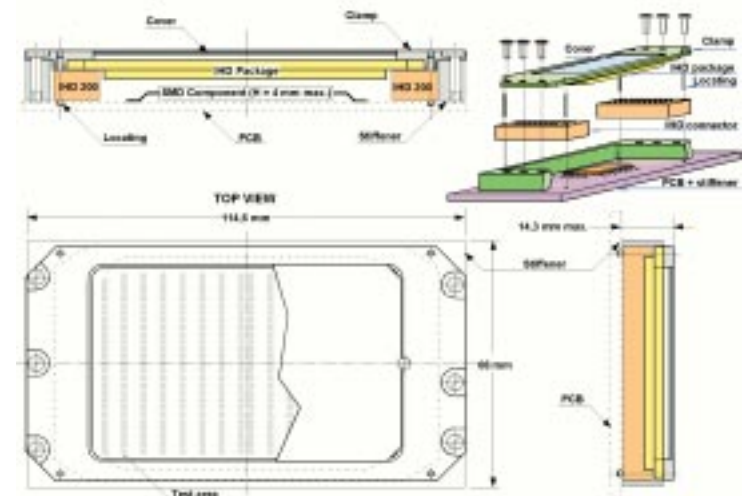
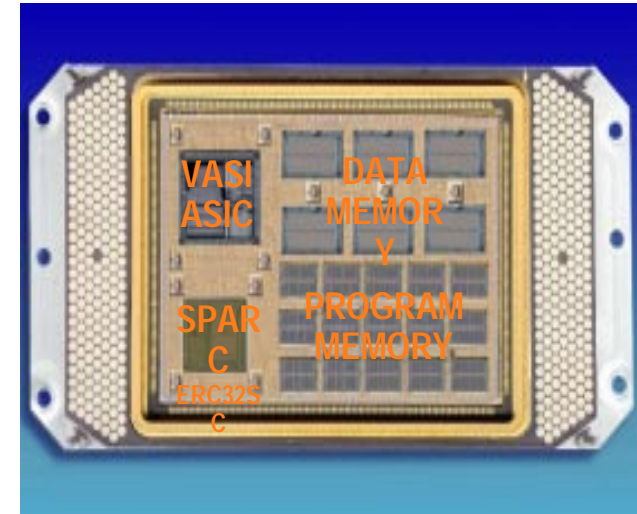
# Solution Astrium pour l'utilisation de l'ERC32SC

- **Le MCM utilise:**

- l'ERC32SC à 25 MHz
- SRAM 6 Mbytes
- DRAM 32 Mbytes avec cache
- Sur l'ASIC sont intégrés:
  - Timers
  - 3 liaisons 1553 (BC RT ou BM)
  - 4 liaisons synchrone asynchrones (12 Mbits/s)
  - Bus user extension

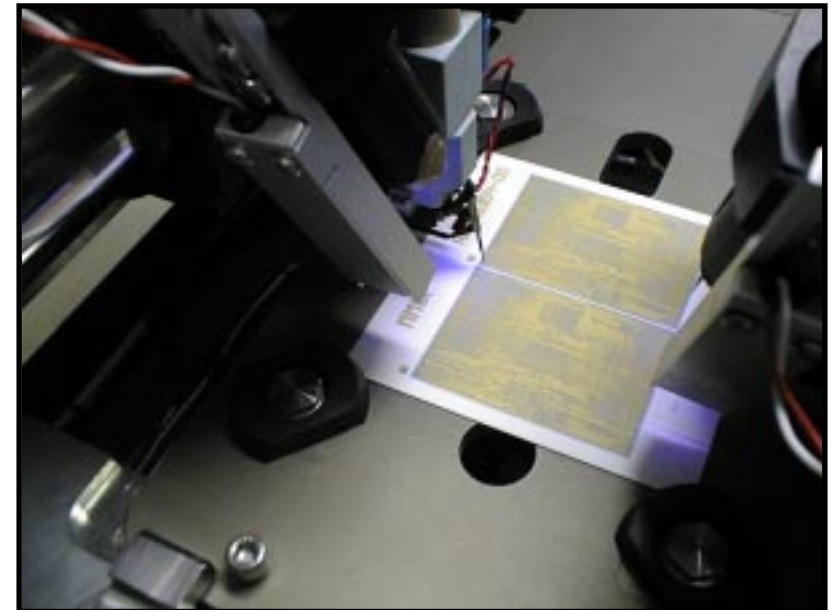
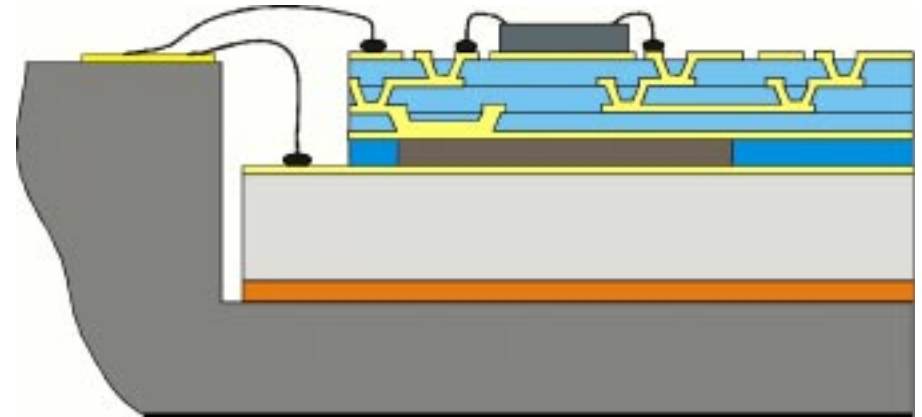
- **Le MCM offre:**

- Meilleure protection aux SEU
- Réduction de dimensions et masse
- Solutions thermiques plus simples
- Résistance aux vibrations



# Intérêt de la solution MCM

- Offre une solution pour intégrer une fonction électronique complexe réutilisable.
- gain de place et de poids
- Accroissement des performances par rapport au montage traditionnel
- Notion de modularité
- Dissipation thermique améliorée
- Taille et masse de l'hybride ou du MCM limitées
- Nombre d'entrées / sorties en fonction de la taille.
- Bon compromis entre contraintes mécaniques, thermiques et électriques



# TSC 21020 space digital signal processor

- Three Computation Units (ALU, Multiplier, and Shifter) with a Shared Data Register File.
- Two Data Address Generators (DAG 1, DAG 2)
- Program Sequencer with Instruction Cache
- 32-Bit Timer
- Memory Buses and Interface
- JTAG Test Access Port and On-Chip Emulation Support
- Independent Parallel Computation Units
- Data Register File harvard architecture
- Single-Cycle Fetch of Instruction and Two Operands
- Instruction Cache
- Hardware Circular Buffers

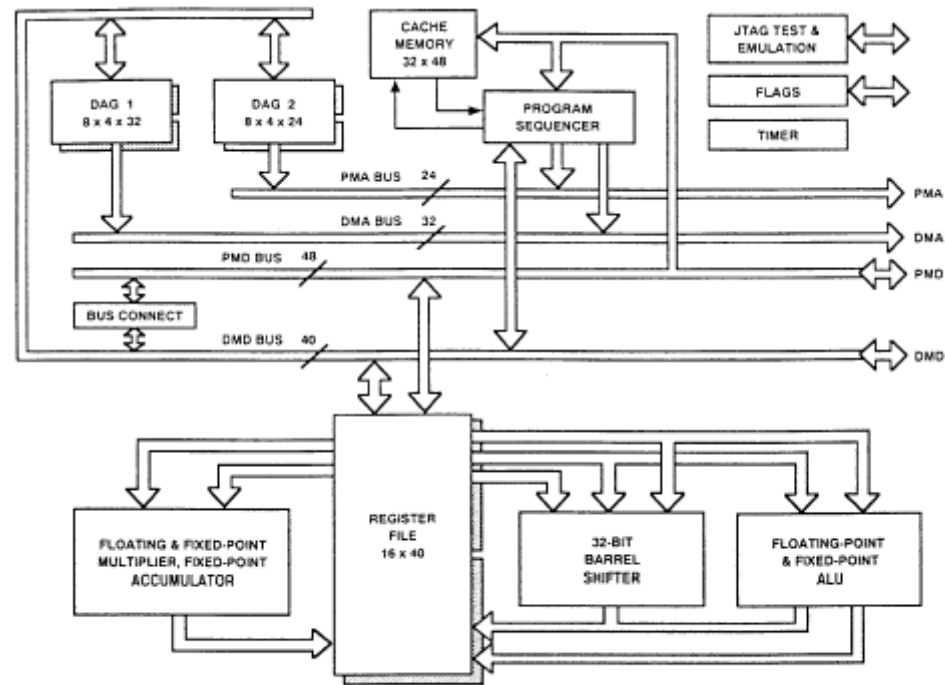


Figure 1. TSC21020F Block Diagram

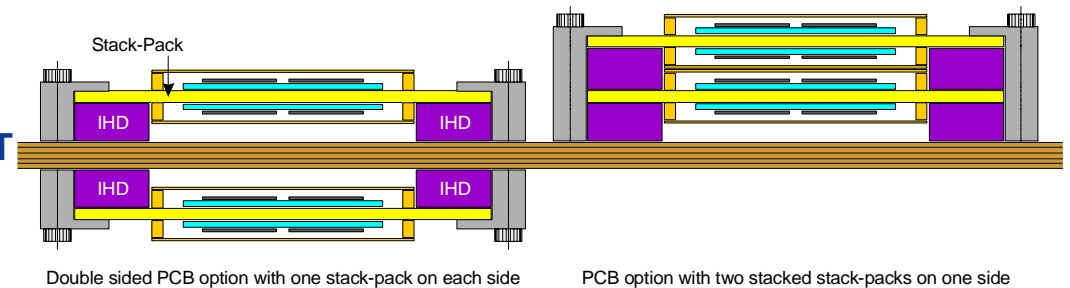
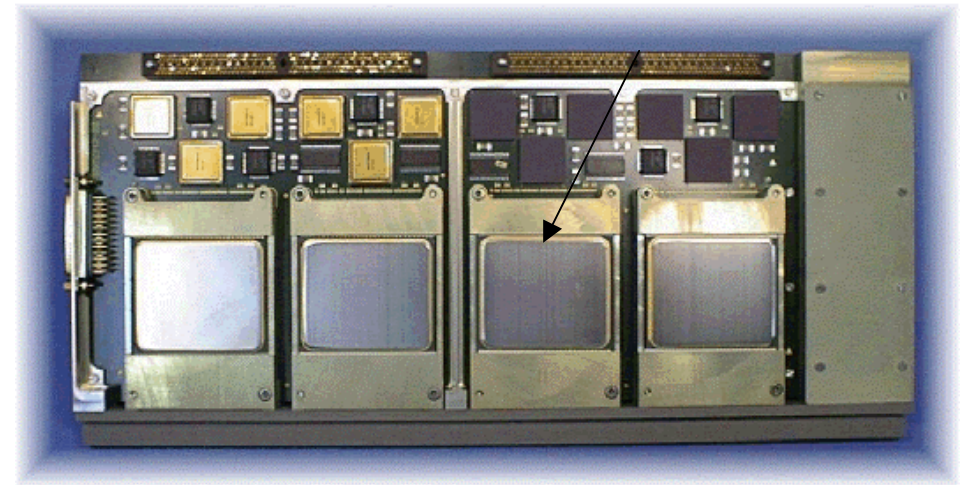
# Solution d'utilisation des DSP astrium

- **Le MCM DSP a les fonctions suivantes:**

- TSC21020
- le MCM offre
- Watch dog
- Timers
- 2 liens synchrones
- 2 liens asynchrones
- Ports parallèles
- Fifos
- 3 liens 1355 ( smcs)
- 128 k RAM code
- 128 K RAM data
- 4 K DPRAM

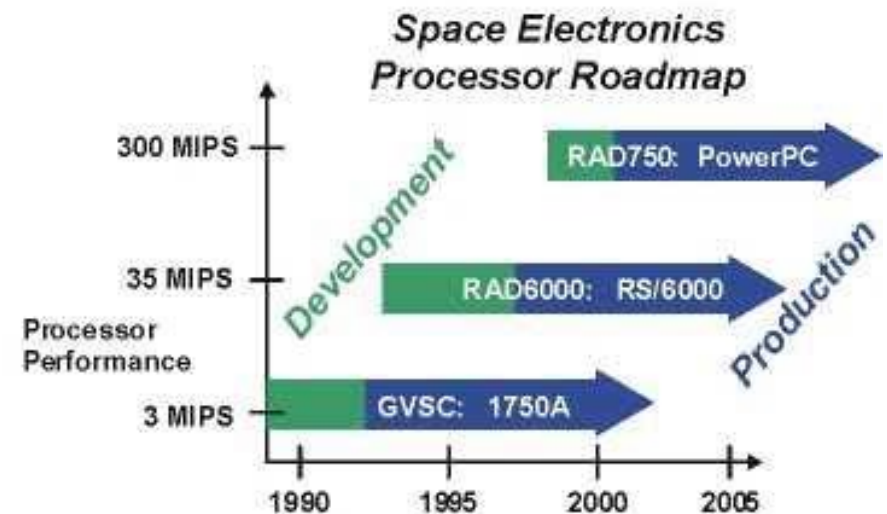
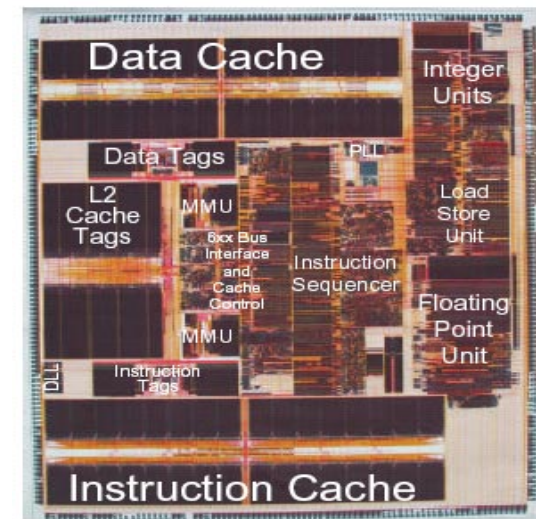
- **L'ensemble présenté est utilisé sur la charge utile DPPU sur le satellite INMARSAT**

## Integration of 8 double-side DSP 21020 MCM with IHD technology



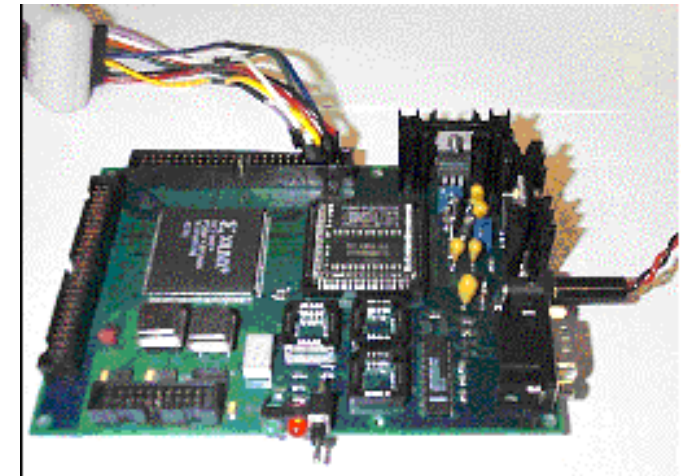
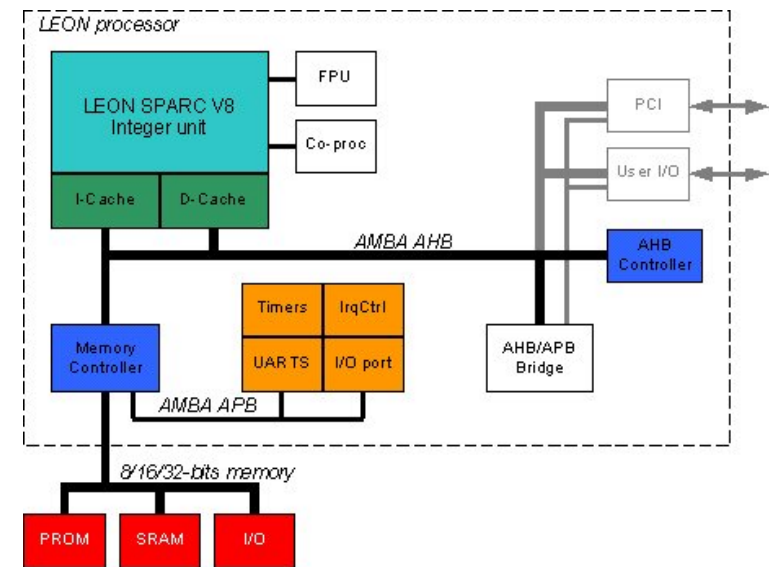
# Les processeurs dans l'industrie spatiale US

- Le processeur IMA31750 à 16 Mhz
- Des processeurs spatiaux de type R 2000 et 3000 ont été utilisés RISC Mongoose (synova), RH32(honeywell)
- Aujourd'hui la tendance est le PowerPC
  - PC 603E sur Irridium
  - Rad 6000 ( mars lander, ... )
  - Rad 1750 proposé par BAE
- Peu d'expérience par risque de limitation de son utilisation par le DOD
- On notera cependant le retard européen qui devient important



# Perspective processeurs & architecture spatiale

- Le SPARC RISC V8 LEON 100 Mhz sera disponible en 2004 pour la version vol.
- Le code VHDL est disponible et permet de développer des SOCs.
- L'ESA promet aujourd'hui des solutions système, basée sur un cœur LEON et enrichie de fonctions complexes auparavant dédiées à des composants externes.
- L'ESA possède souvent le code source , mais le nombre de composants utilisés par an n'incite pas un industriel à investir dans une fabrication.
- L'étude d'un SOC remplissant les fonctions généralement utilisées dans le domaine spatial est envisageable.

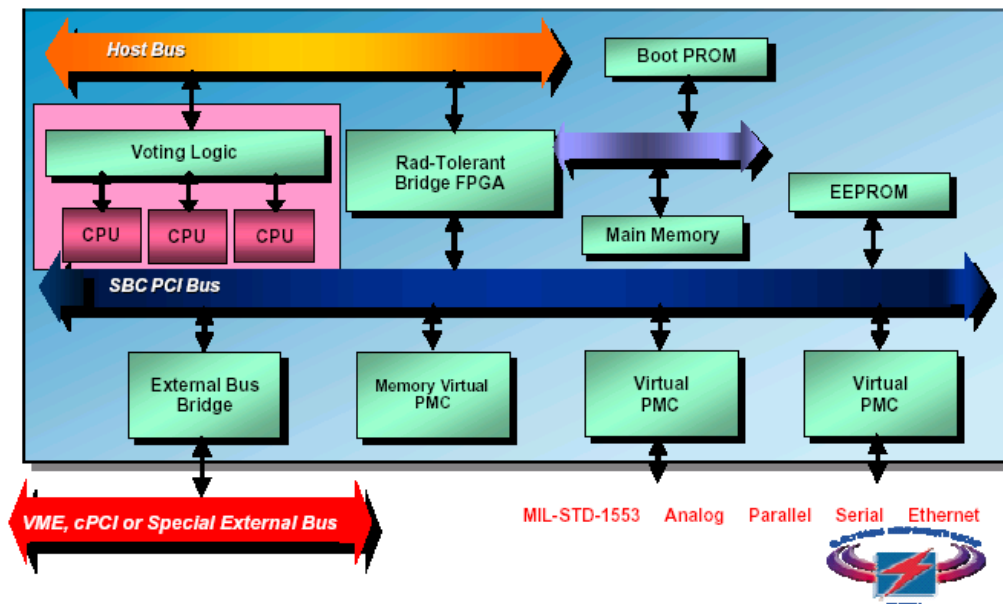


# Caractéristiques du SPARC V8 LEON

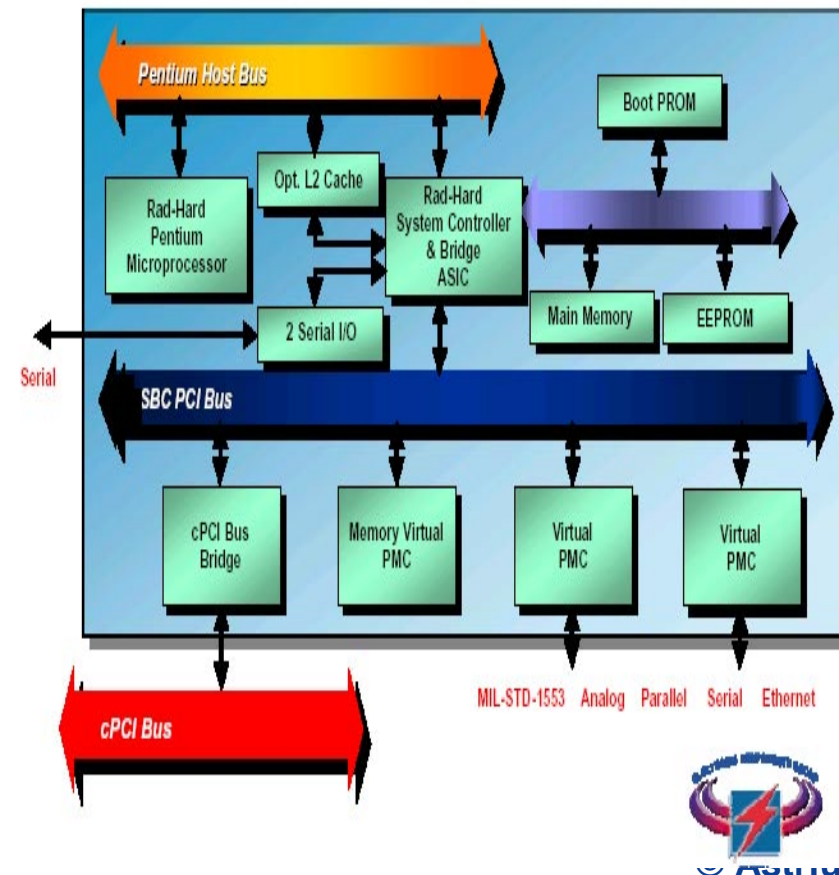
- **LEON1 Express: ES produced/tested on Atmel 0.35  $\mu\text{m}$  (2000/2001)**  
Several FPGA implementations (Xilinx, Altera), ~ 25 MHz  
Commercial/University implementations on TSMC/UMC 0.18  $\mu\text{m}$
- **LEON2 configuration:**
  - Advanced fault-tolerance achieved with EDAC and TMR
  - 2x8kByte data/instruction cache, 8 register windows
  - Meiko FPU (Sun Microsystems Communitysource)
  - 16x16 bit HW multiplier, HW divider (radix2)
  - MAC (16x16 bit to 40 bit accumulator)
  - 33 MHz 32 bit PCI master/target
  - Debug Support Unit (DSU)
- **LEON2 prototypes**
  - UMC 0.18  $\mu\text{m}$  commercial technology, 120 MHz (Q3/2002)
  - Atmel 0.25  $\mu\text{m}$  radiation hard process, 80-100 MHz (Mid/2003)
- **LEON2 production release in Atmel 0.25  $\mu\text{m}$  (Mid 2004)**
- **SW tools available from Gaisler Research:**
  - Simulator TSIM, LECCS: LEON/ERC32 cross-compiler system (GNU)

# Solutions maxwell pour l'industrie spatiale

- Solution PowerPC commercial avec voteur

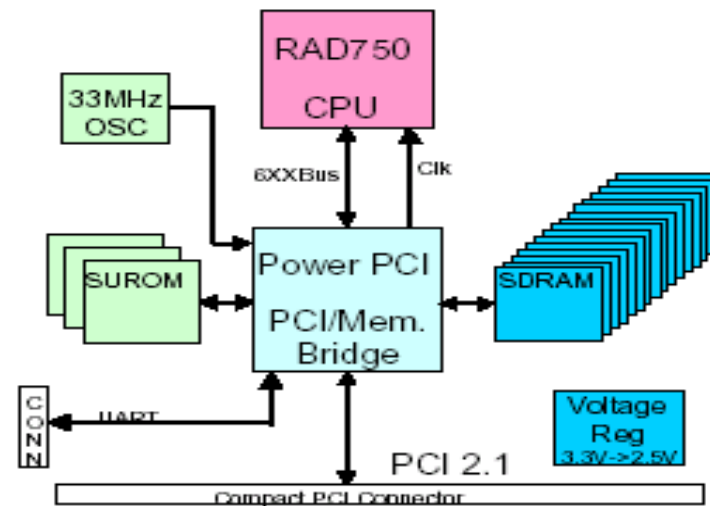
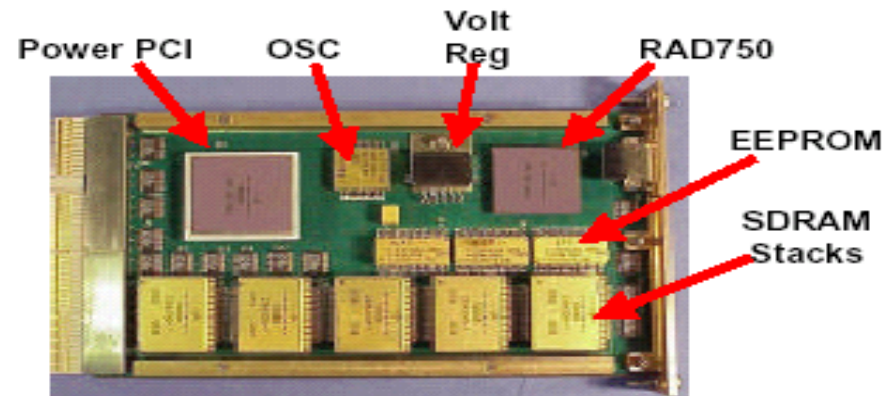


- Solution pentium rad-hard



# Solution BAE avec Rad 750

- 132 MHz RAD750 CPU ( 240 MIPS )
- 128 MB SDRAM
- 256 K SUROM
- Power PCI bridge chip
- <10 W 3.3V



Flight Unit Configuration

# Perspectives: Les besoins

- **Accroissement des contraintes techniques:**

- Augmentation de la puissance de calcul nécessaire (particulièrement pour les P/L)
  - ⇒ Conso électrique ++
  - ⇒ dissipation ++
  - ⇒ Intégration ++ pour limiter conso et dissipation
  - ⇒ Sensibilité aux radiations ++

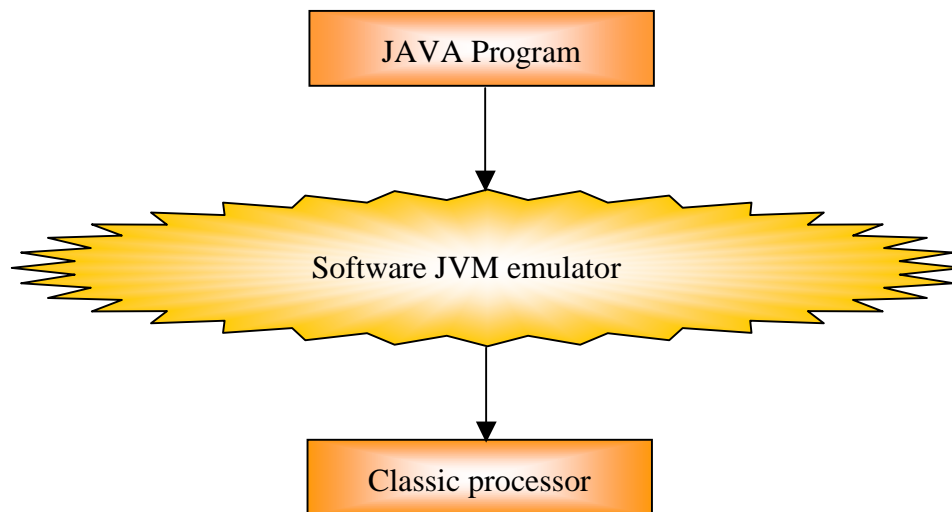
- **Accroissement des contraintes de certification:**

- Exemple Galileo (futur GPS européen): La certification doit répondre aux besoins de tous les utilisateurs du système, et ils sont nombreux!

# Perspectives : Microprocesseur JAVA

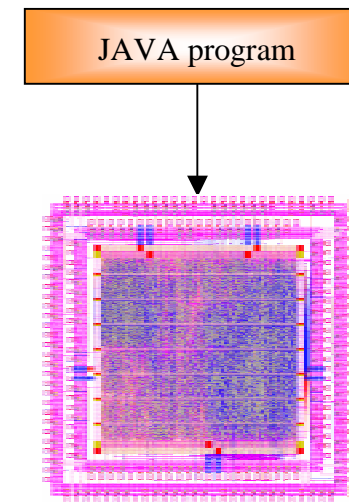
Le principe : Remplacer une machine virtuelle JAVA (interpréteur de bytecode) par un composant

## JAVA program execution with emulator



Programs executed : 2

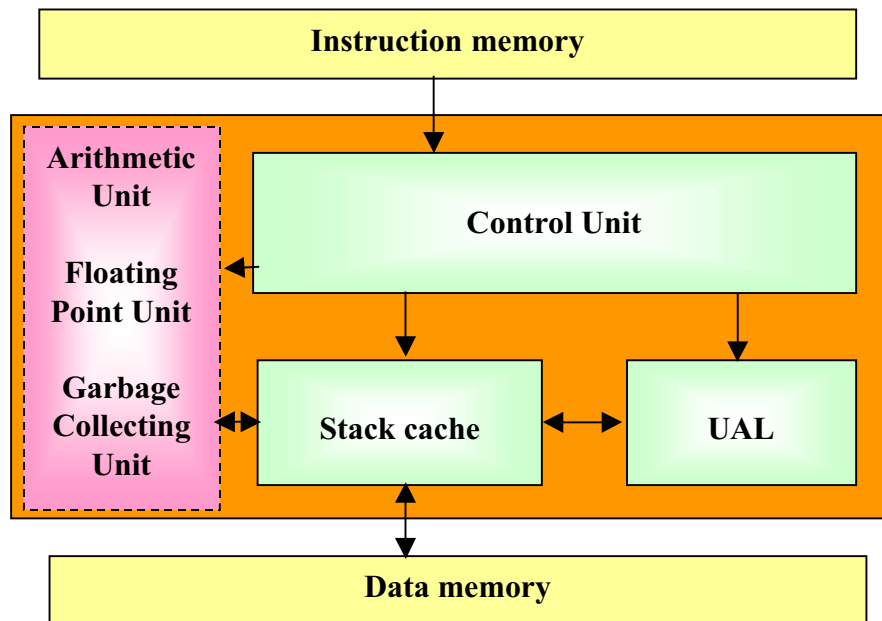
## JAVA program execution with JAP



Program executed : 1

# Perspectives : Microprocesseur JAVA

Exemple : Le processeur JAVA développé par AED.



Harvard design

32 bits Datapath

Stack cache : 32 x 32 bits word

Instructions cache

4 pipeline stages

8 interrupt lines

1 non maskable interrupt

Hardware stack security check

JTAG interface

20 000 instances

Clock : from 40 up to 200 MHz  
depending on the technology.

# Les ASICs ou FPGAs pour calcul câblé

- **La disponibilité d'ASICs et de FPGA Rad-Tolerant ou Rad-Hard de capacité suffisante permet désormais d'envisager le développement de processeurs câblés dédiés à des tâches spécifiques.  
Exemple: Traitement d'images, compression, ...**
  - FPGA actuels rad-hard (2002) : 16 k-gates
  - FPGA actuels rad-tolerant (2002) : 50-70 k-gates
  - FPGA actuels rad-tolerant (2003) : 1-2 M-gates
  - FPGA rad-tolerant disponibles fin 2004 : ~ 7 M-gates
- **Les FPGAs ACTEL (techno anté-fusibles) ne sont pas reprogrammables en vol,**
- **Ceux développés par ATMEL le sont (techno SRAM)**
- **L'utilisation de FPGA plus classiques de très grande capacité (Xilinx) est étudiée, en particulier par les américains, pour des applications non critiques.**